

corresponding to
US 2004/0083309 A1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-344539

(43)Date of publication of application : 29.11.2002

(51)Int.Cl.

H04L 13/08

G06F 13/12

G06F 13/28

G06F 13/36

G06F 13/38

H04L 12/28

H04L 12/40

(21)Application number : 2001-144704

(71)Applicant : RICOH CO LTD

(22)Date of filing : 15.05.2001

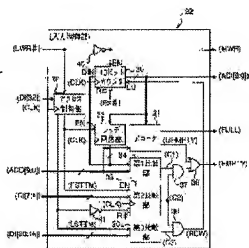
(72)Inventor : YAMAMOTO HITOSHI

(54) FIFO DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a receiving FIFO device which is capable of preventing a PCI bus from being unnecessarily occupied and improving a system in throughput as a whole.

SOLUTION: A third comparator 36 of an input control unit 22 checks whether a received packet is an error packet or not on the basis of acknowledgment information contained in the trailer 63 of the received packet written in a memory unit 21. When it is found that the received packet is an error packet, a high-level EMPTY signal is outputted to an output control unit 23, and the received packet is disused so as to restrain the error packet from being transferred to a receiving DMA unit 10. A second comparator 35 checks whether the received packet is a packet of prescribed type or not on the basis of tcode information recorded in the first quadlet of the header 61 of the received packet written in the memory unit 21. The received packet containing the prescribed errors is disused only when it is found that the received packet is a packet of prescribed type.



(51) Int. Cl. ⁷	識別記号	F I	ページコード (参考)
H 0 4 L 13/09		H 0 4 L 13/09	5 B 0 1 4
G 0 6 F 13/12	3 4 0	G 0 6 F 13/12	3 4 0 B 5 B 0 6 1
	3 1 0		3 1 0 D 5 B 0 7 7
13/28	3 1 0	13/28	3 1 0 F 5 K 0 3 2
13/36	3 1 0	13/36	3 1 0 D 5 K 0 3 3
13/38	3 1 0	13/38	

審査請求・未請求 請求項の数 5 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2001-144704(P2001-144704)

(22) 出願日 平成13年5月15日 (2001.5.15)

(71) 出願人 000006747

株式会社リコ

東京都大田区中馬込1丁目3番6号

(72) 発明者 山本 斉

東京都大田区中馬込1丁目3番6号 株式

会社リコ内

(74) 代理人 100082144

弁理士 青山 茂 (外1名)

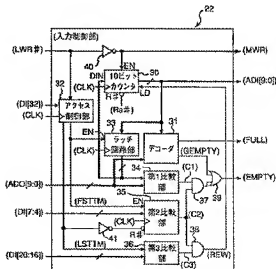
最終頁に続く

(54) 【発明の名称】 F I F O装置

(57) 【要約】

【課題】 不要に P C I バスが占有されることを防止して、システム全体の処理能力を高めることができる受信用の F I F O装置を得る。

【解決手段】 入力制御部 2 2 は、第 3 比較部 3 6 で、メモリ部 2 1 に書き込まれた受信パケットのトレイラ部 6 3 のアクリング情報から、該受信したパケットがエラーパケットか否かを調べ、エラーパケットであった場合は、出力制御部 2 3 にハイレベルの E M P T Y 信号を出力すると共に該受信パケットを破棄することによって、受信用 D M A 装置 1 0 にエラーパケットが転送されないようにし、第 2 比較部 3 5 で、メモリ部 2 1 に書き込まれた受信パケットのヘッダ部 6 1 の 1 クワドレット目に記録された t c o d e 情報から、受信したパケットが所定のタイプのパケットか否かを調べ、所定のタイプのパケットである場合に対してのみ、所定のエラー時にパケットを破棄できるようにした。



【特許請求の範囲】

【請求項 1】 IEEE1394 規格に準拠したインタフェースを介して入力された該規格のデータフォーマットに準拠するパケットを、一時的に格納して転送する F I F O メモリをなす F I F O 装置において、

上記入力されたパケットを格納するメモリ部と、

外部から入力される制御信号に応じて、該メモリ部に対してデータ書き込みを行うアドレスを所定のタイミングで順次生成して出力し、メモリ部に対するデータ書き込み制御を行う入力制御部と、

外部から入力される制御信号に応じて、上記メモリ部に対してデータ読み出しを行うアドレスを所定のタイミングで順次生成して出力し、メモリ部に対するデータ読み出し制御を行う出力制御部と、を備え、

上記入力制御部は、メモリ部に入力されたパケットの所定の情報から、該パケットの転送実施判定を行い、転送を禁止する判定を行うと、上記出力制御部に対してメモリ部からのデータ読み出しを禁止すると共に、上記メモリ部に対して、新たに入力されるパケットを上書きさせて、格納しているパケットを消去させることを特徴とする F I F O 装置。

【請求項 2】 上記入力制御部は、メモリ部に入力されたパケットのトレイサ部におけるアタノリッジ情報から該パケットの転送実施判定を行うことを特徴とする請求項 1 記載の F I F O 装置。

【請求項 3】 上記入力制御部は、メモリ部に入力されているパケットの上記アタノリッジ情報が入力されるまでは、上記出力制御部に対してメモリ部からのデータ読み出しを禁止することを特徴とする請求項 2 記載の F I F O 装置。

【請求項 4】 上記入力制御部は、メモリ部に入力されたパケットが所定のタイプのパケットである場合のみ、上記転送実施判定結果に応じて、出力制御部に対してメモリ部からのデータ読み出しを禁止すると共に、上記メモリ部に対して、新たに入力されるパケットを上書きさせて、格納しているパケットを消去させることを特徴とする請求項 1、2 又は 3 記載の F I F O 装置。

【請求項 5】 上記入力制御部は、メモリ部に入力されたパケットのヘッダ部におけるパケットのタイプ情報から、該パケットが所定のタイプのパケットであるか否かの判定を行うことを特徴とする請求項 4 記載の F I F O 装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、パーソナルコンピュータ等において、IEEE1394 インタフェースを有する O H C I (Open Host Controller Interface) 規格に準拠した P C I ホストカードにおけるデータ転送制御装置で使用される F I F O メモリをなす F I F O 装置に関し、特に外部の機器から IEEE1394 バスを介

して入力されたデータを、P C I バスを介してパーソナルコンピュータ等に転送する際に使用する受信用の F I F O 装置に関する。

【0002】

【従来の技術】 従来、IEEE1394 規格に準拠したシリアルバスのインタフェース回路を有するパーソナルコンピュータ等のデータ転送制御装置では、IEEE1394 バスは物理 (Physical) 層に接続され、該物理層はリンク (Link) 層に接続されている。更に、リンク層には、アシンクロナス (Asynchronous) パケット送信用の F I F O 装置、アイソクロナス (Isosynchronous) パケット送信用の F I F O 装置及び受信用の F I F O 装置 (以下、受信用 F I F O 装置と呼ぶ) がそれぞれ接続されている。

【0003】 更に、アシンクロナスパケット送信用の F I F O 装置はアシンクロナス送信用の DMA (direct memory access) 装置に、アイソクロナスパケット送信用の F I F O 装置はアイソクロナス送信用の DMA 装置に、受信用 F I F O 装置は受信用の DMA 装置 (以下、受信用 DMA 装置と呼ぶ) にそれぞれ対応して接続される。また、これらの各 DMA 装置は、P C I バスの制御を行う P C I 制御部に接続され、P C I 制御部を介して P C I バスにそれぞれ接続される。

【0004】 したがって、P C I バスには複数のお互い非同期的な DMA 装置が接続されることになるため、IEEE1394 関連機器を複数台接続して使用したりする場合には、各 DMA 装置による P C I バスへの競合が発生する可能性が高くなる。このことから、パーソナルコンピュータの処理能力の低下を招く可能性があった。そこで、P C I バスの競合を少しでも防ぐために、受信データを処理する際のエラー処理を行うために P C I バスを占有することを優先させることが必要であった。

【0005】 図 8 は、従来の受信用 F I F O 装置の構成例を示した図である。図 8 において、受信用 F I F O 装置 100 は、メモリ部 101、データ入力を制御する入力制御部 102 及びデータ出力を制御する出力制御部 103 で構成されている。メモリ部 101 は、入力されたパケットが実際に格納される記憶回路部であり、図 8 では 1024×33 (b i t) の記憶容量を有している。また、メモリ部 101 には、リンク層 (図示せず) からデータ入力バス 104 を介して入力データ D I [32:0] が、入力制御部 102 からは読み出しデータ D I [32:0] の書き込みを行うタイミングを得るためのタイミング信号 M W R がそれぞれ入力される。

【0006】 更にメモリ部 101 には、入力制御部 102 から、データを書き込むアドレスを示した 10 ビットデータからなるライトアドレス A D I [9:0] が、出力制御部 103 から、データを読み出すアドレスを示した 10 ビットデータからなるリードアドレス A D O [9:0] がそれぞれ入力される。メモリ部 101 から読み出された

出力データDO[32:0]は、データ出力バス105を介して受信用DMA装置（図示せず）へ出力される。

【0007】また、入力制御部102には、データの書き込みを行うタイミングを得るためのリンク層からのタイミング信号であるLWR#信号が入力されると共に、リードアドレスAD0[9:0]が出力制御部103から入力される。更に、入力制御部102は、メモリ部101にデータを記憶するための空き領域がないフル（Full）状態であることを示すFULL信号をリンク層へ出力すると共に、メモリ部101にデータを記憶するための空き領域があるエンプティ（Empty）状態であることを示すEMPTY信号を出力制御部103へ出力する。

【0008】また、出力制御部103は、リードデータ要求信号FREQUENCY#が受信用DMA装置から入力され、リードデータ許可信号FRACK#を受信用DMA装置に出力する。なお、メモリ部101のデータ幅が33ビットである理由は、IEEE1394のバケットは基本的には32ビットデータであり、バケットの最終データを知らなければならない1ビットデータがリンク層で付加されて、データ幅が33ビットになる。

【0009】次に、図9は、図8で示した入力制御部102の構成例を示したブロック図である。図9で示すように、タイミング信号LWR#の信号レベルを反転させた信号がタイミング信号MWRとなり、該タイミング信号MWRは、10ビットカウンタ111におけるカウンタアップのインペルフ端子ENに入力される。10ビットカウンタ111の出力データは、リードアドレスAD1[9:0]となる。また、10ビットカウンタ111は、リセット端子R#にロー（Low）レベルのリセット信号Rss#が入力されるリセット時は“000h”にセットされる。また、デコーダ112は、入力されたリードアドレスAD1[9:0]及びリードアドレスAD0[9:0]を所定の方法でデコードしてFULL信号及びEMPTY信号を生成し出力する。

【0010】メモリ部101に書き込まれるIEEE1394の受信データは、バケットのタイプやその他のアドレス情報等が入ったヘッダ部と、データ情報が入ったデータ部と、受信した時間や送信した相手に送ったアクノリッジ情報等が入ったトレイラ（Trailer）部とで構成されている。ヘッダ部、データ部及びトレイラ部は、1ワードが32ビットデータ（以下、クワドレットと呼ぶ）で構成されている。受信データの最終クワドレットをなすトレイラ部には、送信した相手に対して送ったアクノリッジ情報があり、該アクノリッジ情報には、様々なエラー情報等も含まれている。

【0011】

【発明が解決しようとする課題】ここで、受信用FIFO装置100がエラーバケットを受信して、受信用DMA装置がこれらのエラーバケットを受け取った場合においても、PCIバスを占有してバケットを処理し、最終

10

20

30

40

50

のトレイラ部を受けた時点でこのバケットがエラーであったことを検出し処理したバケットを無効にする。すなわち、このようなエラーバケットに対してもPCIバスを占有するようにしていたことから、各DMA装置によるPCIバスの競合が発生しやすいため、システム全体の処理能力が低下するという問題があった。

【0012】本発明は、上記のような問題を解決するためになされたものであり、不要にPCIバスが占有されることを防止して、システム全体の処理能力を高めることのできる受信用のFIFO装置を得ることを目的とする。

【0013】

【課題を解決するための手段】この発明に係るFIFO装置は、IEEE1394規格に準拠したインタフェースを介して入力され該規格のデータフォーマットに準拠するバケットを、一時的に格納して転送するFIFOメモリをなすFIFO装置において、入力されたバケットを格納するメモリ部と、外部から入力される制御信号に応じて、該メモリ部に対してデータ書き込みを行うアドレスを所定のタイミングで順次生成して出力し、メモリ部に対するデータ書き込み制御を行う入力制御部と、外部から入力される制御信号に応じて、メモリ部に対してデータ読み出しを行うアドレスを所定のタイミングで順次生成して出力し、メモリ部に対するデータ読み出し制御を行う出力制御部とを備え、入力制御部は、メモリ部に入力されたバケットの所定の情報から、該バケットの転送実施判定を行い、転送を禁止する判定を行うと、出力制御部に対してメモリ部からのデータ読み出しを禁止すると共に、メモリ部に対して、新たに入力されるバケットを上書きさせて、格納しているバケットを消去させるものである。

【0014】具体的には、上記入力制御部は、メモリ部に入力されたバケットのトレイラ部におけるアクノリッジ情報から該バケットの転送実施判定を行うようにした。

【0015】また、上記入力制御部は、メモリ部に入力されているバケットの上記アクノリッジ情報が入力されるまでは、出力制御部に対してメモリ部からのデータ読み出しを禁止するようにした。

【0016】更に、上記入力制御部は、メモリ部に入力されたバケットが所定のタイプのバケットである場合のみ、上記転送実施判定結果に応じて、出力制御部に対してメモリ部からのデータ読み出しを禁止すると共に、上記メモリ部に対して、新たに入力されるバケットを上書きさせて、格納しているバケットを消去させるようにしてもよい。

【0017】具体的には、上記入力制御部は、メモリ部に入力されたバケットのヘッダ部におけるバケットのタイプ情報から、該バケットが所定のタイプのバケットであるか否かの判定を行うようにした。

【0018】

【発明の実施の形態】次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。図1は、本発明の実施の形態におけるFIFO装置を使用するデータ転送制御装置の例を示した概略のブロック図であり、IEEE1394を用いたパーソナルコンピュータ等でのデータ転送は、図1のような構成になっている。

【0019】IEEE1394規格に準拠したシリアルバスのインタフェース回路を有するパーソナルコンピュータ等におけるデータ転送制御装置1では、IEEE1394バス2は物理(Physical)層3に接続され、該物理層3はリンク(Link)層4に接続されている。更に、リンク層4は、アシンクロナス(Asynchronous)パケット送信用のFIFO装置(図1ではATFIFOと示す)5、アイソクロナス(Isochronous)パケット送信用のFIFO装置(図1ではITFIFOと示す)6及び受信用のFIFO装置(以下、受信用FIFO装置と呼ぶ)7がそれぞれ接続されている。なお、FIFO装置とは、FIFOメモリをなすものである。

【0020】更に、アシンクロナスパケット送信用のFIFO装置5は、アシンクロナス送信用のDMA(direct memory access)装置(図1ではATDMAと示す)8に、アイソクロナスパケット送信用のFIFO装置6はアイソクロナス送信用のDMA装置(図1ではITDMAと示す)9に、受信用FIFO装置7は受信用のDMA装置(以下、受信用DMA装置と呼ぶ)10にそれぞれ対応して接続されている。また、これらの各DMA装置8~10は、PCIバス12の制御を行うPCI制御部11にそれぞれ接続され、PCI制御部11によってPCIバス12に接続される。

【0021】図2は、本発明の実施の形態におけるFIFO装置の構成例を示した概略のブロック図であり、図2では、図1の受信用FIFO装置7を例にして示している。図2における受信用FIFO装置7は、メモリ部21、該メモリ部21へのデータ書き込みを制御する入力制御部22及びメモリ部21からのデータ読み出しを制御する出力制御部23で構成されている。メモリ部21は、入力されたパケットが実際に格納される記憶回路部であり、図2では1024×33ビットの記憶容量を有している場合を例にして示している。

【0022】メモリ部21には、リンク層4からデータ入力バス24を介して受信データである入力データD1[32:0]が、入力制御部22からは読みデータD1[32:0]の書き込みを行うタイミングを得るためのタイミング信号であるMWR信号がそれぞれ入力される。また、データ入力バス24からの入力データD1[32:0]の一部のデータが、入力制御部22に入力される。更に、メモリ部21は、入力制御部22から、データ書き込みを行うアドレスを示した10ビットデータからなるライトアドレスAD1[9:0]が、出力制御部23から、データ読

み出しを行うアドレスを示した10ビットデータからなるリードアドレスAD0[9:0]がそれぞれ入力される。また、メモリ部21から読み出された出力データD0[32:0]は、データ出力バス25を介して受信用DMA装置10へ出力される。

【0023】なお、入力データD1[32:0]及び出力データD0[32:0]における[32:0]は、32番目から0番目までの各ビットデータからなる33ビットデータであることを示しており、同様に、ライトアドレスAD1[9:0]及びリードアドレスAD0[9:0]における[9:0]は、9番目から0番目までの各ビットデータからなる10ビットデータであることを示している。

【0024】また、入力制御部22には、データ書き込みを行うタイミングを得るためのリンク層4からのタイミング信号であるLWR#信号が入力されると共に、リードアドレスAD0[9:0]が出力制御部23から入力される。更に、入力制御部22は、メモリ部21にデータを記憶するための空き領域がないフル(Full)状態であることを示すFULL信号をリンク層4へ出力すると共に、メモリ部21にデータをまったく記憶していないエンプティ(Empty)状態であることを示すEMPTY信号を出力制御部23へ出力する。

【0025】また、出力制御部23は、メモリ部21からデータを読み出す場合に受信用DMA装置10からリードデータ要求信号RREQ#が入力され、メモリ部21のエンプティ状態に応じてリードデータ許可信号RACK#を受信用DMA装置10に出力する。なお、メモリ部21のデータ幅が33ビットである運搬は、IEEE1394の4パケットが基本的には32ビットデータであり、該32ビットデータにパケットの最終データを知るための1ビットデータがリンク層4で付加されてデータ幅が33ビットになっている。

【0026】次に、図3は、図2で示した入力制御部22の構成例を示したブロック図である。図3において、入力制御部22は、10ビットカウンタ30と、デコーダ31と、アクセス制御部32と、ラッチ回路部33と、第1比較部34と、第2比較部35と、第3比較部36と、AND回路37、38と、OR回路39と、インバータ40、41として構成されている。リンク層4から入力されたLWR#信号は、インバータ40によって信号レベルが反転され、MWR信号としてメモリ部21に出力される。該MWR信号は、10ビットカウンタ30におけるカウントアップのインエナブル端子ENに入力され、MWR信号がハイ(High)レベルになると、10ビットカウンタ30はインエナブルととなり、カウントを開始する。

【0027】10ビットカウンタ30の出力データは、ライトアドレスAD1[9:0]としてメモリ部21に出力されると共にデコーダ31及びラッチ回路部33にそれぞれ出力される。10ビットカウンタ30は、リセット

端子R#にロー（Low）レベルのリセット信号R#s#が入力されるリセット時には、カウント値が“000h”にリセットされる。また、10ビットカウンタ30は、データロード端子LDにハイレベルの信号が入力されると、データ入力端子DINに入力された10ビットのデータがカウント値としてロードする。

【0028】また、デコード31は、入力されたライトアドレスADI[9:0]及びリードアドレスADO[9:0]を所定の方法でデコードしてFULI信号及びEMPTY信号を生成し、該生成したFULI信号をリンク層4に、該生成したEMPTY信号（図3では、EMPTY信号として示している）をOR回路39の一方の入力端に出力する。なお、後述するように、OR回路39の出力信号をEMPTY信号として出力制御部23に出力することから、以下、デコード31から出力されるEMPTY信号をEMPTY Y信号と呼ぶ。

【0029】アクセス制御部32は、リンク層4からのLWR#信号と、パケットの最終データであるか否かを示した入力データDI[32:0]における32番目のビットデータである入力データDI[32]とから、リンク層4から入力されたデータがそのパケットの最初のデータであることを示すFSTTM信号、及びリンク層4から入力されたデータがそのパケットの最後のデータであることを示すLSTTM信号をそれぞれ生成する。更に、アクセス制御部32は、該生成したFSTTM信号をラッチ回路部33及び第2比較部35の各インプット端子ENにそれぞれ出力すると共に、該生成したLSTTM信号をインバータ41の入力端及び第3比較部36にそれぞれ出力する。該LSTTM信号は、インバータ41を介して第2比較部35のリセット端子R#に入力される。

【0030】図4は、アクセス制御部32の内蔵構成例を示した回路図であり、図4において、アクセス制御部32は、同期式のセット端子を有するDフリップフロップ51、AND回路52～54、OR回路55及びインバータ56、57で構成されている。入力データDI[32]は、インバータ56を介してAND回路52の一方の入力端に入力されると共に、LSTTM信号として出力される。

【0031】また、LWR#信号は、AND回路53の一方の入力端に入力されると共にインバータ57を介してAND回路54の一方の入力端に入力されている。一方、AND回路52、53の各他方の入力端には、外部からのリセット信号R#s#がそれぞれ入力されている。なお、該リセット信号R#s#は、パーソナルコンピュータ等のようなデータ転送制御装置1を備えたシステムに対して、パワーオンリセットやシステムリセット等が行われる際に、PCIバス12を介して入力されるものであり、該リセット信号R#s#の信号経路の図示は省略している。

【0032】AND回路52の出力信号は、Dフリップ

フリップ51の同期式のセット端子S#に入力され、AND回路53の出力信号は、OR回路55の一方の入力端に入力され、OR回路55の他方の入力端には、外部からのシステムクロックCLKが入力されている。なお、該システムクロックCLKは、パーソナルコンピュータ等のようなデータ転送制御装置1を備えたシステムで使用されるクロック信号であり、システムクロックCLKの信号経路の図示は省略している。

【0033】OR回路55の出力信号は、Dフリップフロップ51のクロック信号入力端に入力されており、Dフリップフロップ51のクロック信号として使用される。Dフリップフロップ51の非反転出力端Qからの出力信号は、AND回路54の他方の入力端に入力され、AND回路54の出力信号がFSTTM信号となる。Dフリップフロップ51のD入力端は接地されていることから、Dフリップフロップ51は、クロック信号入力端に入力された信号のアップエッジでラッチする動作を行う。このような構成からすることにより、アクセス制御部32は、入力データDI[32]がローレベルのときにLWR#信号がローレベルに立ち下がる、と、ハイレベルのFSTTM信号を1クロックの間出力し、入力データDI[32]をLSTTM信号として出力する。

【0034】次に、ラッチ回路部33は、10ビットカウンタ30から出力されるライトアドレスADI[9:0]が入力され、インプット端子ENに入力されているFSTTM信号がインプットになったとき、すなわちハイレベルの信号がインプット端子ENに入力されたときに10ビットカウンタ30から入力されているライトアドレスADI[9:0]をラッチする。このことは、ラッチ回路部33が、パケットにおける最初のデータが書き込まれるメモリ部21のアドレスデータをラッチすることを示している。

【0035】次に、第1比較部34は、ラッチ回路部33にラッチされているアドレスデータと、出力制御部23から入力されるリードアドレスADO[9:0]とを比較し、一致するとハイレベルの出力信号C1を、一致しなかった場合はローレベルの出力信号C1を出力する。すなわち、該出力信号C1がハイレベルのときは、リンク層4が受信用FI F O装置7に対して現在書き込み中であるパケットを受信用DMA装置10が読み出すようにしていることを示している。

【0036】第2比較部35は、3ビットの入力データDI[32:0]における32番目から0番目までの各ビットデータの内、7番目から4番目までの各ビットデータからなる入力データDI[7:4]が入力されると共に、アクセス制御部32からのFSTTM信号がインプット端子ENに入力される。第2比較部35は、入力された入力データDI[7:4]が、あらかじめ設定されたデータと一致するか否かを比較し、ハイレベルのFSTTM信号が入力されると、該比較結果をラッチして出力する。

【0037】ここで、IEEE1394における受信データのフォーマットについて説明する。図5は、リンク層4から入力されるパケットのフォーマットを示した概略図である。なお、図5では、リンク層4によって付加された、パケットの最終データであるか否かを示した1ビットデータである入力データD1[32]は省略して示している。

【0038】図5で示すようにIEEE1394の受信データ、すなわちリンク層4から入力されるパケットは、パケットのタイプやその他アドレス情報等が入ったヘッダ部61と、データ情報が入ったデータ部62と、受信した時間や送信した相手に送ったアクノリッジ情報等が入ったトレイラ(Trailer)部63とで構成されている。ヘッダ部61、データ部62及びトレイラ部63は、32ビット幅の1ワードデータ(以下、クワドレットと呼ぶ)、すなわち入力データD1[31:0]で構成されている。

【0039】ヘッダ部61は、最大4クワドレットで構成され、ヘッダ部61の最初の1クワドレットにおける7番目〜4番目までの各ビットデータに「t c o d e」と呼ばれるパケットのタイプ情報(以下、これをt c o d e情報と呼ぶ)が格納されている。また、データ部62は、0〜1024クワドレットで構成され、パケットのタイプによっては該データ部62がないパケットもある。受信データの最終クワドレットはトレイラ部63と呼ばれ、該トレイラ部63には格納される20番目〜16番目までの各ビットデータに「event code」と呼ばれる、パケットを送信してきた相手に対して送ったアクノリッジ情報が格納されている。

【0040】該アクノリッジ情報には、様々な情報があり、例えば、データ転送制御装置1がデータを完全に受信できたことを示す「ack__complete」、データ転送制御装置1がデータを受信できなかった後でレスポンスパケットを送信するということを示す「ack__pending」がある。更に、アクノリッジ情報には、データ転送制御装置1が何らかの理由で現在データを受信することができないことを示す「ack__busy」及びデータ転送制御装置1が受け取ったデータに不具合があったことを示す「ack__data__error」等がある。

【0041】このようなことから、第2比較部35は、パケットのヘッダ部61における1クワドレット目のデータがリンク層4から入力され、ハイレベルのFSSTT M信号が入力されると、比較した結果をラッチして出力信号C2として出力する。すなわち、第2比較部35は、t c o d e情報をなす入力データD1[7:4]をあらかじめ設定されたデータと比較して一致するか否かを調べ、FSSTT M信号がハイレベルのときに該比較結果をラッチして出力信号C2として出力する。

【0042】例えば、第2比較部35は、入力データD

I[7:4]があらかじめ設定されたデータと一致すると、ハイレベルの出力信号C2を出力する。また、第2比較部35は、アクセス制御部32からのLSTT M信号がハイレベルになってアクティブになると、インバータ41を介してリセット端子R#がローレベルになり、入力されているクロック信号CLKに同期してリセットがかかり、出力信号C2はローレベルになる。

【0043】ここで、t c o d e情報を用いて、あらかじめ設定されたパケットのタイプだけをエラー時に検察するようにした必要性について説明する。IEEE1394には、大きく分けてアシンクロナス及びアイソクロナスという2種類のパケットが存在する。アシンクロナスパケットには大きく分類すると、アシンクロナス・リクエスト(Asynchronous Request)パケットとアシンクロナス・レスポンス(Asynchronous Response)パケットが存在する。通常、図1に示すようなデータ転送制御装置1は、IEEE1394バス2からきたアシンクロナス・リクエストパケットを受信して、該パケットをそのままPCIバス12を介してメインメモリ(図示せず)にデータ転送する。

【0044】更に、CPU(図示せず)が所定のソフトウェアを実行することによって、データ転送された該パケットが処理されてアシンクロナス・レスポンスパケットが生成され、データ転送制御装置1は、該パケットをメインメモリからPCIバス12を介してIEEE1394バス2に送信する。また、アシンクロナスパケットには、フィジカル・リクエスト(Pysical Request)とフィジカル・レスポンス(Pysical Response)という特殊なパケットが存在する。これは、アシンクロナスパケットのフォーマットであるが、その中に含まれる転送相手先のアドレス情報がIEEE1394で規定されている「t c o d e」の種類でかつフィジカル(Pysical)領域と呼ばれるアドレスであるパケットをフィジカル・リクエストパケットと呼ぶ。

【0045】上記フィジカル・リクエストパケットに対して、図1で示したデータ転送制御装置1は、ソフトウェアが介在することなくデータ転送制御装置1のみで処理し、フィジカル・レスポンスパケットを自動生成し、IEEE1394バス2にデータ送信を行う。これは、ソフトウェアの介在をなくしてリクエストパケットの受信からレスポンスパケットの送信までの時間を短縮できるメリットがある。しかし、すべてのパケットのタイプに対してエラー時にデータを破棄するようにした場合、すべてのパケット受信を一時的に停止する、すなわち、フィジカル・リクエストパケット受信に対する処理を遅らせる可能性が高くなる。

【0046】また、フィジカル・リクエストパケット受信は、データ転送制御装置1だけでフィジカル・レスポンスパケットを生成するため、基本的にはエラーのアクノリッジ情報が発生することはない。そこで、「t c o

11

de j のようなデータのバケットタイプ情報を用いてデータ破棄できる対象に選択することができれば、フィジカル・リクエストバケットに対する処理の遅延をなくすることができる。また、本実施の形態では、t c o d e 情報のみを用いているが、フィジカル (Physical) 領域を判断する回路も加えることができる。しかし、フィジカル領域を判断するアドレスは、48ビットデータのコード等が必要になり、回路が複雑になることから本実施の形態では t c o d e 情報のみを使用するようにした。

【0047】次に、第3比較部36は、33ビットの入力データD1[32:0]における32番目から0番目までの各ビットデータの内、20番目から16番目までのデータである入力データD1[20:16]が人力されると共に、アクセス制御部32からのLSTTM信号が人力される。第3比較部36は、人力されているLSTTM信号がハイレベルのときには、該入力データD1[20:16]が、エラーとしてあらかじめ規定し設定されたアグノリッジ情報と一致するか否かを比較し、一致した場合、LSTTM信号がハイレベルの間、ハイレベルの出力信号C3を出力する。

【0048】第1比較部31からの出力信号C1は、AND回路37の一方の入力端に人力され、第2比較部32からの出力信号C2は、AND回路37の他方の入力端及びAND回路38の一方の入力端にそれぞれ人力される。また、第3比較部36からの出力信号C3は、AND回路38の他方の入力端に人力される。AND回路37の出力信号は、OR回路39の他方の入力端に人力され、OR回路39の出力信号が、EMPTY信号として出力制御部23に出力される。

【0049】一方、AND回路38の出力信号は、REW信号として10ビットカウンタ30のロード端子LDに人力される。該REW信号がアクティブになる、すなわちハイレベルになると、データを破棄することができる対象のバケットがエラーであることを示しており、10ビットカウンタ30は、データ入力端子DINに人力されているラッチ回路部33からのアドレスデータをロードすることによって、エラーが発生したバケットの最初のアドレスにカウンタ値を戻す。

【0050】次に、図6は、図2で示した出力制御部23の構成例を示した図である。図6において、出力制御部23は、10ビットカウンタ70とNOR回路71とで構成されている。入力制御部22からのEMPTY信号が、NOR回路71の一方の入力端に人力されると共に、リードデータ許可信号FRACK#として受信用DMA装置10に出力される。

【0051】また、NOR回路71の他方の入力端には、受信用DMA装置10からのリードデータ要求信号FREQ#が人力され、NOR回路71の出力信号は、10ビットカウンタ70のイネーブル端子ENに人力され、該イネーブル端子ENにハイレベルの信号が入

12

力されると10ビットカウンタ70はイネーブルとなり、カウントを開始する。10ビットカウンタ70の出力データは、リードアドレスADO[9:0]としてメモリ部21及び入力制御部22にそれぞれ出力され、リセット端子R#にロー (Low) レベルのリセット信号Rs#が人力されるリセット時には、カウンタ値が“000h”にリセットされる。

【0052】このような構成において、図7は、図2及び図3における各信号のタイミング例を示したタイミングチャートであり、図7を用いて図3で示した入力制御部22の各部の動作について説明する。図7において、タイミングT1〜T4の間に32ビットの入力データA0〜A3からなるバケットAが、タイミングT1〜T11の間に32ビットの入力データB0〜B4からなるバケットBが、タイミングT14〜T18の間に32ビットの入力データC0〜C4からなるバケットCが、更に、タイミングT21〜T23の間に32ビットの入力データD0〜D2が人力されるバケットDがリンク層4から人力される場合を示している。また、図7では、バケットB及びCがデータ破棄できるバケット対象であるものとし、バケットBでエラーが発生して破棄される場合を例にして示している。

【0053】更に図7では、受信用DMA装置10によるデータ読み出しはタイミングT0から始まり、受信用DMA装置10は、バケットAをタイミングT8まで読み出した後、次のバケットBをタイミングT10から読み出すとするが、バケットBがデータ破棄できる対象のバケットであると共にアグノリッジ情報がエラーであったことから、メモリ部21に格納されたバケットBのすべてのデータが破棄される。また、バケットCがデータ破棄できる対象バケットであるため、受信用DMA装置10がタイミングT19までデータの読み出しが止められているタイミングを例にして示している。

【0054】まず、タイミングT1〜T4の間にバケットAが受信用FIFO装置7のメモリ部21に書き込まれるため、FSTTM信号はタイミングT1に、LSTTM信号はタイミングT4にハイレベルに立ち上がる。また、10ビットカウンタ30によって、ライトアドレスAD1[9:0]は、タイミングT1で“0”、タイミングT2で“1”、順次タイミングT5で“4”になるまでカウントアップされる。また、ラッチ回路部33は、タイミングT2で、バケットAのスタートアドレス“0”を示すライトアドレスAD1[9:0]をラッチし、次のバケットの最初のデータが書き込まれるまで保持してアドレスデータPSTADD[9:0]として出力する。なお、アドレスデータPSTADD[9:0]の[9:0]は、9番目から0番目までの各ビットデータからなる10ビットデータであることを示している。

【0055】このため、出力信号C1は、タイミングT2でハイレベルになり、タイミングT6でローレベルに

13

なる。また、パケットAはデータ破壊できる対象パケットではないため、出力信号C2は、タイミングT2からローレベルになる。そして、デコーダ31から出力されるGEMPTTY信号は、タイミングT2以降、メモリ部21がエンティティ状態なくなるためローレベルになる。出力信号C1の信号レベルにかかわらず、出力信号C2がローレベルであるため、デコーダ31から出力されたGEMPTTY信号がOR回路39からEMPTTY信号として出力され、受信用DMA装置10へのリード許可信号FRACK#は、タイミングT2からローレベルになる。

【0056】更に、タイミングT5から受信用DMA装置10からのリード要求信号FRESEQがローレベルになり、10ビットカウンタ30によって、リードアドレスADO[9:0]が、タイミングT5で“0”、タイミングT6で“1”、順次タイミングT9で“4”になるまでカウントアップされる。

【0057】次に、入力制御部22は、リンク層4からパケットBをタイミングT7～T11の間でメモリ部21に書き込もうとするが、パケットBはデータ破壊できる対象パケットであるため、出力信号C2は、タイミングT8～T11でハイレベルになる。また、ラッチ回路部33は、タイミングT8で、パケットBの最初のデータアドレス“4”を示すライトアドレスAD1[9:0]をロードしてラッチし、次のパケットの最初のデータが書き込まれるまで保持してアドレスデータPSTADD[9:0]と出力する。

【0058】更に、タイミングT9で受信用DMA装置10によるメモリ部21からのデータ読み出しのため、リードアドレスADO[9:0]がラッチ回路部33にラッチされているアドレスデータPSTADD[9:0]と同じアドレス“4”を示し、出力信号C1がハイレベルになる。したがって、タイミングT9から出力信号C1及びC2が共にハイレベルになるため、OR回路39から出力されるEMPTTY信号は、タイミングT9からハイレベルとなり、これに伴って、受信用DMA装置10へのリード許可信号FRACK#もハイレベルになりメモリ部21からのデータ読み出しが許可されない。

【0059】また、パケットBの最終データ“B4”がメモリ部21に書き込まれ、そのアノリッジ情報がエラーであったため、出力信号C3がタイミングT11でハイレベルとなり、かつ出力信号C2もハイレベルであるため、REW信号はタイミングT11でハイレベルとなる。したがって、10ビットカウンタ30には、ラッチ回路部33でラッチされているアドレスデータPSTADD[9:0]のデータがタイミングT11でロードされるため、タイミングT12でライトアドレスAD1[9:0]は、10ビットカウンタ30に読み込まれたアドレスデータPSTADD[9:0]が示すアドレス“4”を示したデータに戻る。

14

【0060】すなわち、次のパケットのメモリ部21への書き込みはアドレス“4”から行われるため、メモリ部21に書き込まれたエラーパケットBは上書きされて消去されたことになる。また、ライトアドレスAD1[9:0]がアドレス“4”を示すデータに戻ったため、リードアドレスADO[9:0]が示すアドレス“4”と一致することから、メモリ部21がEMPTTY状態なりデコーダ31から出力されるGEMPTTY信号が、タイミングT12からハイレベルになる。

【0061】次に、入力制御部22は、パケットCをタイミングT14～T18の間でメモリ部21に書き込もうとするが、パケットBと同様にパケットCもデータ破壊できる対象パケットであるため、パケットBと同様の動作を行うが、パケットBの場合と異なるのは、パケットCにはエラーが発生していないため、タイミングT18でREW信号がハイレベルにならずパケットCは上書きされて消去されない。また、パケットCがメモリ部21に書き込まれたため、デコーダ31から出力されるGEMPTTY信号はタイミングT15からローレベルになるが、出力信号C2がハイレベルになるためEMPTTY信号はハイレベルとなり、受信用DMA装置10へのデータ読み出しは停止されたままである。

【0062】しかし、タイミングT19で出力信号C2がローレベルになるため、OR回路39から出力されるEMPTTY信号もローレベルになり、受信用DMA装置10へのリード許可信号FRACK#もローレベルとなる。このことから、受信用DMA装置10によるメモリ部21からのデータ読み出しが開始され、エラーが発生せずデータ消去されなかったパケットCがメモリ部21から読み出される。

【0063】このように、本実施の形態におけるFIF O装置では、入力制御部22は、第3比較部36で、リンク層4からメモリ部21に書き込まれた受信パケットにおけるトレーラ一部のアノリッジ情報から、懸受済したパケットがエラーパケットか否かを調べ、エラーパケットであった場合は、出力制御部23にハイレベルのEMPTTY信号を出力すると共に該受信パケットを破壊することによって、受信用DMA装置10にエラーパケットが転送されないようにした。

【0064】また、入力制御部22は、第1比較部34で、出力制御部23からのリードアドレスADO[9:0]とラッチ回路部33にラッチされているパケットの最初のデータが書き込まれたライトアドレスAD1[9:0]とを比較して、現在受信中のパケット、すなわちメモリ部21へ書き込み中のパケットを受信用DMA装置10が読み出すとしたときには、第1比較部34は、パケットの最終データであるトレーラ一部63をメモリ部21に書き込まれ

るまでは、現在受信中のパケットを破棄する可能性があることから、出力制御部 23 にハイレベルの E M P T Y 信号を出力するようし、受信用 D M A 装置 10 に対してメモリ部 21 からのデータ読み出しの一時停止ができるようにした。

【0065】これらのことから、不必要な P C I バスへのアクセスをなくすことができ、データ転送制御装置を使用したシステム全体の処理能力の増加を図ることができる。また、受信用 D M A 装置が無駄なデータ処理のために動作しないことから消費電力の削減を図ることができる。

【0066】更に、第 2 比較部 35 で、リンク層 4 からメモリ部 21 に書き込まれたパケットにおけるヘッダ部 61 の 1 クワドレット目に記録された t c o d e 情報から、受信したパケットが所定のタイプのパケットか否かを調べ、所定のタイプのパケットである場合に対してのみ、所定のエラー時にパケットを破棄できるようにした。

【0067】例えば、データ部を有するパケットは、P C I バスの占有率も高いが、ヘッダ部だけのパケット等は最大 4 クワドレットしかないのだからパケットであってもほとんど P C I バスを占有しない。しかし、すべてのパケットタイプを、所定のエラー時にデータ破棄できるパケットの対象にする、一時停止して受信用 D M A 装置の処理が遅れるような場合もある。このような処理の遅れを好まないパケットが存在する時等に、t c o d e 情報によって対象を選択できるようにすることができる。例えば、P C I バスの占有率の高いデータ部を持ったパケットのみを一時停止するようにすることができる。

【0068】なお、上記説明において、信号名又は符号に # が付加された信号は、ローレベルのときにアクティブになることを示し、信号名又は符号に # が付加されていない信号は、ハイレベルのときにアクティブになることを示している。端子名又は符号に # が付加された端子は、ローレベルの信号が入力されるとアクティブになることを示し、端子名又は符号に # が付加されていない端子は、ハイレベルの信号が入力されるとアクティブになることを示している。

【0069】

【発明の効果】上記の説明から明らかなように、本発明の F I F O 装置によれば、メモリ部に入力されたパケットの所定の情報から、該パケットの転送実施判定を行い、転送を禁止する判定を行うと、メモリ部からのデータ読み出しを禁止することができ、例えば、入力されたパケットを P C I バスに転送するデータ転送制御装置に使用した場合、不必要な P C I バスへのアクセスをなくす

ことができ、データ転送制御装置を使用したシステム全体の処理能力の増加を図ることができる。

【0070】具体的には、メモリ部に入力されたパケットのトレイラ部におけるアクノリッジ情報から該パケットの転送実施判定を行うようにした。このことから、パケットの転送実施判定を容易に行うことができる。

【0071】また、メモリ部に入力されているパケットの上記アクノリッジ情報が入力されるまでは、メモリ部からのデータ読み出しを禁止するようにした。このことから、データ読み出しを禁止したパケットが、誤って読み出されることを確実に防止することができる。

【0072】更に、メモリ部に入力されたパケットが所定のタイプのパケットである場合のみ、上記転送実施判定結果に応じて、メモリ部からのデータ読み出しを禁止すると共に、新たに入力されるパケットを上書きさせて、メモリ部に格納されているパケットを消去するようにした。このことから、使用状況に応じて、データ転送を行わずデータ破棄するパケットのタイプを選択することができる。

20 【0073】具体的には、メモリ部に入力されたパケットのヘッダ部におけるパケットのタイプ情報から、該パケットが所定のタイプのパケットであるか否かの判定を行うようにした。このことから、このことから、メモリ部に入力されたパケットのパケットタイプを容易に判定することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態における F I F O 装置を使用するデータ転送制御装置の例を示した概略のブロック図である。

30 【図 2】 本発明の実施の形態における F I F O 装置の構成例を示した概略のブロック図である。

【図 3】 図 2 で示した入力制御部 22 の構成例を示したブロック図である。

【図 4】 図 3 におけるアクセス制御部 32 の内部構成の例を示した回路図である。

【図 5】 リンク層 4 から入力されるパケットのフォーマットを示した概略図である。

【図 6】 図 2 で示した出力制御部 23 の構成例を示した図である。

40 【図 7】 図 2 及び図 3 における各信号のタイミング例を示したタイミングチャートである。

【図 8】 従来の受信用 F I F O 装置の構成例を示した図である。

【図 9】 図 8 で示した入力制御部 102 の構成例を示したブロック図である。

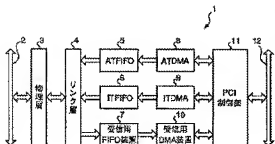
【符号の説明】

- 1 データ転送制御装置
- 2 I F F E 1 3 9 4 バス
- 4 リンク層
- 50 7 受信用 F I F O 装置

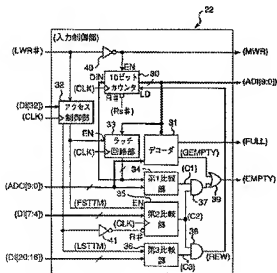
17

- 10 受信用DMA装置
- 11 PCI制御部
- 12 PCIバス
- 21 メモリ部
- 22 入力制御部
- 23 出力制御部
- 24 データ入力バス
- 25 データ出力バス
- 30 10ビットカウンタ

【図1】



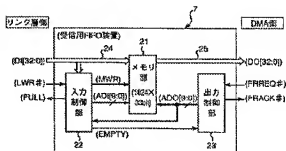
【図3】



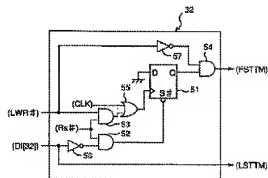
18

- 31 デコーダ
- 32 アクセス制御部
- 33 ラッチ制御部
- 34 第1比較部
- 35 第2比較部
- 36 第3比較部
- 61 ヘッダ部
- 62 データ部
- 63 トレーラー部

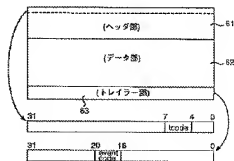
【図2】



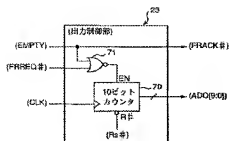
【図4】



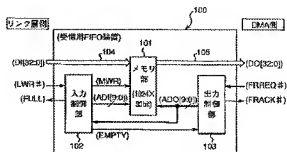
【図5】



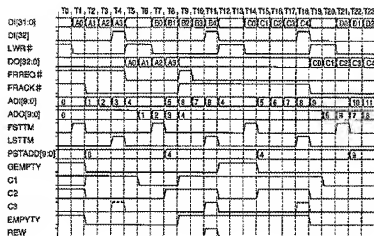
【図6】



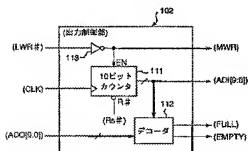
【図8】



【図7】



【図9】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	メモコード (参考)
G 0 6 F 13/38	3 5 0	G 0 6 F 13/38	3 5 0 5 K 0 3 4
H 0 4 L 12/28	1 0 0	H 0 4 L 12/28	1 0 0 H

12/40

12/40

Z

F ターミ (参考) 5B014 FB03 GD05 GD13 GD35 GE05
 5B061 BA03 FF01 QQ01
 5B077 AA23 BA02 DD02 DD11 HH02
 5K032 CD01 DA07 DB20 DB22
 5K033 CC01 DB12 EC03
 5K034 EE11 HH42